

PAT-NO: JP410050720A
DOCUMENT-IDENTIFIER: JP 10050720 A
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE
PUBN-DATE: February 20, 1998

INVENTOR-INFORMATION:
NAME
YAMAHATA, SHIYOUJI

ASSIGNEE-INFORMATION:
NAME COUNTRY
NIPPON TELEG & TELEPH CORP <NTT> N/A

APPL-NO: JP08203435
APPL-DATE: August 1, 1996

INT-CL (IPC): H01L021/331, H01L029/73 , H01L029/205

ABSTRACT:

PROBLEM TO BE SOLVED: To produce a very small sized hetero-junction bipolar transistor (HVT) having a high current amplification factor, good high frequency characteristics and superior reliability.

SOLUTION: This manufacturing method comprises step of spreading bisbenzocyclobuten BCB on the surface of a semiconductor device by the spin coating, curing it to perfectly harden the BCB, thereby forming a passivation film 10 for protecting the semiconductor device surface, and step of forming a silicon oxide film 11 on this film 10 at a lower temp. than

the curing temp.
and selectively etching the film 10 with use of the oxide
film 11 to form
wiring contact holes 14.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-50720

(43) 公開日 平成10年(1998) 2月20日

(51) Int. Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L	21/331		H 0 1 L	29/72
	29/73			29/205
	29/205			

審査請求 未請求 請求項の数6 O L (全 9 頁)

(21) 出願番号 特願平8-203435

(22) 出願日 平成8年(1996) 8月1日

(71) 出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72) 発明者 山崎 章司

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

(74) 代理人 弁理士 中村 純之助

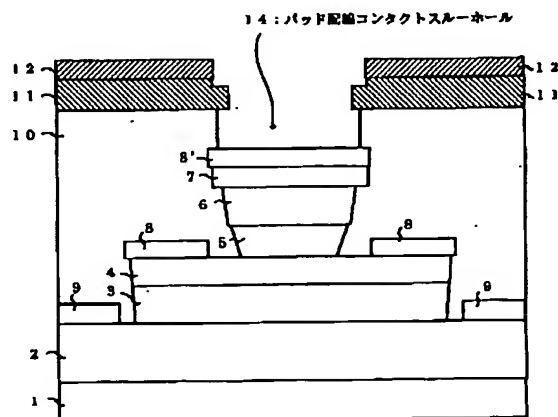
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】高電流増幅率、良好な高周波特性、信頼性に優れた微細寸法のHBTを可能とする半導体装置の製造方法を提供する。

【解決手段】ビスベンゾシクロブテン(BCB)をスピンコーティング法によって半導体装置の表面に塗布した後、キュアリングすることによって上記BCBを完全に硬化させることにより、半導体装置の表面を保護するパッシベーション膜10を形成する工程と、前記パッシベーション膜上に前記キュアリング温度より低い温度でシリコン酸化膜11を形成し、該シリコン酸化膜を用いて前記パッシベーション膜を選択的にエッチングすることにより、配線用コンタクトホール14を形成する工程と、を含むことを特徴とする半導体装置の製造方法。

(図9)



1

【特許請求の範囲】

【請求項1】化合物半導体を用いた半導体装置の製造方法において、

炭素元素を主骨格とし、かつ、分子構造中にシリコン元素同士の化学結合を含有するワニス状高分子前駆体をスピンコーティング法によって半導体装置の表面に塗布した後、キュアリングすることによって該ワニス状高分子前駆体を完全に硬化させることにより、半導体装置の表面を保護するパッシベーション膜を形成する工程と、前記パッシベーション膜上に前記キュアリング温度より低い温度でシリコン酸化膜(SiO_2)を形成し、該シリコン酸化膜を用いて前記パッシベーション膜を選択的にエッチングすることにより、配線用コンタクトホールを形成する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項2】前記配線用コンタクトホールを形成する工程は、前記パッシベーション膜上に形成したシリコン酸化膜(SiO_2)を、通常的光レジストをマスクにして六フッ化エタン(C_2F_6)ガスを用いた反応性イオンエッチング法によってエッチングした後、前記パッシベーション膜を、六フッ化硫黄(SF_6)と酸素(O_2)の混合ガスを用いた反応性イオンエッチング法により、前記シリコン酸化膜に対して選択的にエッチングすることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】前記ワニス状高分子前駆体は、サイクロテン樹脂であることを特徴とする請求項1または請求項2に記載の半導体装置の製造方法。

【請求項4】前記ワニス状高分子前駆体は、ビスベンゾシクロブテン(BCB)であることを特徴とする請求項1または請求項2に記載の半導体装置の製造方法。

【請求項5】前記半導体装置が、コレクタコンタクト層、コレクタ層、ベース層、エミッタ層及びエミッタコンタクト層が順次積層されたメサ型のヘテロ接合バイポーラトランジスタの場合、前記キュアリング温度は、少なくともベース層にベース電極をオーミックに接合させるためのオーミックアロイ温度よりも低いことを特徴とする請求項1乃至請求項4の何れかに記載の半導体装置の製造方法。

【請求項6】前記半導体装置が電界効果トランジスタの場合、前記キュアリング温度は、少なくともソース又はドレインのイオン注入領域の活性化熱処理温度、またはオーミック電極作製のためのオーミックアロイ温度よりも低いことを特徴とする請求項1乃至請求項4の何れかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ヘテロ接合バイポーラトランジスタ(以下、HBTと略記する)の製造方法に関するもので、特に低消費電力回路への適用を目的

2

とし、微細トランジスタ寸法を有し、高電流増幅率で高周波特性に優れたHBTの製造方法に関するものである。

【0002】

【従来の技術】HBTは、エミッタにベースよりもバンドギャップの大きな半導体材料を用いることにより、①ベースの不純物濃度を高くしてもエミッタ注入効率を低下させることなく大きな電流増幅率が得られること、②このためベース抵抗が低く抑えられること等、トランジスタの高性能化に有利な利点を多く有している。特に、化合物半導体材料を用いると、③電子輸送特性に優れていること、④材料の選択によりヘテロ接合の組み合わせが広がること、⑤電子デバイスのみならず光デバイスとの融合も可能であること等、利点が増大する。

【0003】化合物半導体を用いたHBTは、一般に(100)面を主表面とする半導体基板上に目的の半導体層をエピタキシャル成長させ、エッチングによってメサ構造を形成し、エミッタ層、ベース層、コレクタ層にそれぞれオーミックコンタクト電極を形成して製造される。

【0004】このようなHBTの寄生抵抗、寄生容量を減らして高速化を図り、また、高集積化、低消費電力化を図るためには、トランジスタ寸法の微細化が必要である。しかし、トランジスタ寸法の微細化に伴い、エミッタ/ベース接合部分の表面周辺長に沿って発生する表面再結合電流の影響が顕著となり、電流増幅率の低下を招くことや素子寿命に悪影響を及ぼすこと等が懸念される。

【0005】この表面再結合電流の発生に大きな影響を与えるのが半導体表面に形成されるパッシベーション膜である。パッシベーション膜を形成する時の損傷や応力(ストレス)および膜中に含まれる水分等の不純物が半導体界面を乱し、リーク電流増大を加速する。特に化合物半導体ヘテロ構造材料は、半導体を構成する元素が2種類以上でp-n接合を形成する材料の組み合わせが多岐に渡ることから、表面再結合電流の発生がパッシベーション膜の種類、製造方法に大きく依存する。例えば、プラズマCVD法やスパッタ法で堆積させたシリコン酸化膜やシリコン窒化膜は、堆積時に半導体表面に放射損傷が導入されて表面再結合電流が増大する。またシリコン酸化膜やシリコン窒化膜の応力も表面再結合電流増大の一因となる。

【0006】これらの理由から化合物半導体ヘテロ構造デバイス、特にInP基板に格子整合するInP、InGaAs、InAlAs等の材料系には、堆積時の半導体結晶に及ぼす損傷が少なく、応力も緩和される有機系薄膜が表面パッシベーション膜としてよく用いられている。ポリイミドに代表される有機系薄膜は通常ワニス状の高分子前駆体をスピンコーティングによってウェハ全面に塗布し、キュアリング(curing=硬化処理:

具体的には加熱や紫外線照射等)を行うことで硬化させ、成膜が完了する。

【0007】しかしながら、従来のポリイミドは重合中に水分等の副次反応物が生成されるため、ポリイミド膜を化合物半導体のパッシベーション膜に使用することは信頼性の観点から好ましくない。このため膜中に副次生成物を含まず、かつ低吸湿性と急速な水分放出性を示す有機系薄膜としてサイクロテン樹脂、特にそのうちのBCB(ビスベンゾシクロブテン)が有望である(例えば、“DAVID BURDEAUX, PAUL TOWNSEND and JOSEPH CAR R, Journal of Electronic Materials, Vol.19, No.12, 1990, pp.1357-1366”や“R.H.Heistand II et al., The International Journal of Microcircuits and Electronic Packaging, Vol.15, No.4, 1992, pp183-194”に例示されている)。このBCB樹脂はポリイミドよりもキュアリング温度が低い、平坦性、耐薬品性、耐溶剤性に優れている等の化合物半導体に有利な特徴を有する。

【0008】しかしながら、キュアリング後完全に硬化したBCBをエッチングする方法は、反応種としてフッ素(F)を含んだプラズマエッチング法に限定される。これはBCBの分子構造内にSi-Siの結合が存在するためであり、通常ポリイミドで行われている酸素プラズマエッチングではこのSi-Siの結合を完全に切断することが出来ないからである。

【0009】BCB膜でパッシベーションされたHBTの配線用コンタクトスルーホールを形成するためには、通常フォトレジストでBCB薄膜上にg線、i線等の光露光でパタニングした後、このフォトレジストをマスクにBCB薄膜をプラズマエッチングして電極金属を露出させる。しかし、フォトレジストとBCB膜はどちらも炭素元素を主骨格とした高分子であるため、プラズマエッチングに対するエッチングレートはほぼ同じであり、選択性を持たせることが出来ない。そのためフォトレジストマスクでBCB膜をプラズマエッチングすると、フォトレジストのエッチングレートが速いためサイドエッチングがプラズマエッチング中に進行し、パタンが広がってしまう。

【0010】特に、最も狭いコンタクトスルーホールが必要なエミッタ電極に対して微細化が困難となる。例えば、0.8 μ m幅のエミッタ電極上のBCB薄膜に光露光法の限界である0.4 μ m幅のフォトレジストパタン(開孔部)を形成し、膜厚0.5 μ m程度のBCB薄膜をプラズマエッチングする場合、フォトレジストマスクのサイドに片側0.2ミクロン以上のエッチングが入るため、幅0.8 μ m以下のコンタクトスルーホールを形成することは困難であり、パタン合わせ精度を考えると幅1.0 μ m以下のエミッタ電極を有する微細HBT素子の高集積化は実現しがたい。

【0011】微細HBTのエミッタ電極から配線を取り出すもう一つの方法は、ウェハ全面に堆積させた絶縁膜

をエッチバックしてエミッタ電極のみを露出させる“エミッタ電極頭出し”の手法である。しかし、エッチバックの制御の難しさ、およびパタン依存性があることから、このエミッタ電極頭出し法よりもコンタクトスルーホールを形成する方が微細HBTの高集積化に適している。

【0012】

【発明が解決しようとする課題】上記のように、膜中に副次生成物を含まず、かつ低吸湿性と急速な水分放出性を示し、半導体表面のパッシベーション膜に適しているBCB膜をエッチングするには、従来ポリイミドで用いられている酸素プラズマエッチングでは十分なエッチングが実現出来ない。これはBCBの分子構造中にSi-Si結合が含まれているためである。

【0013】また、このBCB薄膜を化合物半導体HBTの表面パッシベーション膜に用い、コンタクトスルーホールを形成するためには、フォトレジストでパタニングしたマスクを用いてエッチングを行う必要があるが、BCB薄膜のエッチング中にフォトレジストマスクのサイドエッチングが顕著になり、微細寸法のコンタクトスルーホールの形成が困難となる。通常の光露光ではフォトレジストに0.4 μ m幅の開孔部を形成するのが限界で、エッチング中のフォトレジストに対するサイドエッチング量、合わせ精度を考慮すると1.0 μ mよりも狭い開孔部を均一性良く形成するのは非常に困難である、等の問題があった。

【0014】本発明は、上記のごとき従来技術の問題を解決するためになされたものであり、高電流増幅率、良好な高周波特性、信頼性に優れた微細寸法のHBTを可能とする半導体装置の製造方法を提供することを目的とする。

【0015】

【課題を解決するための手段】上記の目的を達成するため、本発明においては、特許請求の範囲に記載するように構成している。すなわち、請求項1に記載の発明においては、化合物半導体を用いた半導体装置の製造方法において、炭素元素を主骨格とし、かつ、分子構造中にシリコン元素同士の化学結合を含有するワニス状高分子前駆体をスピンコーティング法によって半導体装置の表面に塗布した後、キュアリングすることによって該ワニス状高分子前駆体を完全に硬化させることにより、半導体装置の表面を保護するパッシベーション膜を形成する工程と、前記パッシベーション膜上に前記キュアリング温度より低い温度でシリコン酸化膜(SiO₂)を形成し、該シリコン酸化膜を用いて前記パッシベーション膜を選択的にエッチングすることにより、配線用コンタクトホールを形成する工程と、を備えている。

【0016】なお、前記キュアリング(硬化処理)としては、所定の温度(一般に樹脂メーカーの定めた保証温度)で加熱する方法を用いるが、シリコン酸化膜を形成

する際の温度が前記のキュアリング温度以上であるとパッシベーション膜に何らかの化学変化を生じるおそれがあるので、シリコン酸化膜はキュアリング温度以下で形成することが望ましい。

【0017】また、前記配線用コンタクトホールを形成する工程は、例えば、請求項2に記載のように、前記パッシベーション膜上に形成したシリコン酸化膜 (SiO_2) を、通常のフォトリソをマスクにして六フッ化エタン (C_2F_6) ガスを用いた反応性イオンエッチング法によってエッチングした後、前記パッシベーション膜を、六フッ化硫黄 (SF_6) と酸素 (O_2) の混合ガスを

用いた反応性イオンエッチング法により、前記シリコン酸化膜に対して選択的にエッチングするものである。

【0018】また、前記ワニス状高分子前駆体は、例えば請求項3に記載のように、サイクロテン樹脂、請求項4に記載のように、ビスベンゾシクロブテン (BCB) を用いることが出来る。

【0019】また、例えば請求項5に記載のように、半導体装置がメサ型のヘテロ接合バイポーラトランジスタの場合においては、前記キュアリング温度がベース層にベース電極をオーミックに接合させるためのオーミックアロイ温度よりも高い場合には、アロイの範囲が拡大する等の好ましくない作用が生じるおそれがあるので、キュアリング温度は少なくともアロイ温度よりも低い温度にすることが望ましい。また、同様の理由により、請求項6に記載のように、電界効果トランジスタの場合には、前記キュアリング温度は、少なくともソース又はドレインのイオン注入領域の活性化熱処理温度、またはオーミック電極作製のためのオーミックアロイ温度よりも低い温度にすることが望ましい。

【0020】前記のごとく、高電流増幅率、高周波特性、信頼性に優れた微細寸法のHBTの実現には、半導体表面のパッシベーション膜の選択が極めて重要であるが、特に化合物半導体では絶縁膜を堆積するときの損傷、ストレスが半導体界面に悪影響を与え、ペリフェリー成分が支配的となる微細サイズHBTの信頼性を含めた特性劣化を招いてしまう。堆積時の損傷、ストレスが少ないパッシベーション膜としては有機系絶縁膜が望ましく、その中でも膜中に副次生成物を含まず、かつ低吸湿性と急速な水分放出性を示すサイクロテン樹脂、特にBCB樹脂膜が化合物半導体表面のパッシベーション膜として最適である。

【0021】本発明においては、上記のようなサイクロテン樹脂、特にBCB樹脂膜を化合物半導体表面のパッシベーション膜として用い、かつ微細なコンタクトホールの形成を可能としたものである。

【0022】例えば、パッシベーション膜に上記のBCB膜を用いて $0.8\mu\text{m}$ 以下の電極上配線用コンタクトスルーホールを有するメサ型HBTを形成することは、下記の工程によって可能である。

(1) 少なくとも分子構造中にシリコン元素同士の化学結合を含有し炭素元素を主骨格とするワニス状BCB前駆体をメサ型HBTを搭載したウェハ上にスピンコーティング法によって塗布し、少なくとも上記HBTのベース電極オーミックアロイ温度よりも低い温度でキュアリングすることにより、上記BCB樹脂を完全に硬化させ、上記HBTの表面保護を担う有機系薄膜パッシベーション膜を製造する工程。

(2) 上記BCB薄膜上にシリコン酸化膜を少なくとも上記BCB薄膜製造時のキュアリング温度を越えない成膜温度で堆積する工程。

(3) 上記シリコン酸化膜上にパタニングされたフォトリソをマスクにして、少なくとも上記シリコン酸化膜を六フッ化エタン (C_2F_6) ガスを用いた反応性イオンエッチング (RIE) 法でエッチングした後、六フッ化硫黄 (SF_6) と酸素 (O_2) の混合ガスをを用いたRIE法で上記BCB薄膜を上記シリコン酸化膜に対して選択的にエッチングすることにより、微細寸法のエミッタ電極配線用コンタクトホールを形成する工程。

【0023】上記のように本発明においては、パッシベーション膜として優れた性能を有してはいるが加工の難しいワニス状高分子前駆体 (例えばBCB膜) に対して、微細サイズの配線コンタクト用開口部を光露光フォトリソグラフィ及びRIE法で再現性良く形成できるため、エミッタ電極幅 $1.0\mu\text{m}$ 以下の微細HBTの高集積化が実現できる。したがって高電流増幅率および良好な高周波特性を実現することが出来る。また、パッシベーション膜として低吸湿性と急速な水分放出性を有するワニス状高分子前駆体 (例えばBCB膜) を用いるため、表面再結合電流が少なく信頼性にも優れた微細寸法のHBTを提供することができる。

【0024】

【発明の実施の形態】本発明による InP/InGaAs 系HBTの製造方法を図1～図10および図11を用いて説明する。図1～図10は、本実施の形態における製造方法の工程順に、それぞれの工程で形成された断面構造を示す図であり、逆メサ構造があらわれる (011) 面方位から見た断面構造概略図である。ただし、上記の面方位の表示における「1」は「1」の逆方位を示す。また、各図においては、主として当該工程で形成または処理された部分については斜線を施すと共に符号と名称を記載し、前図と同じ部分は符号のみを付している。また、図11は、本発明の方法で形成したHBTの概略平面図であり、主として電極とスルーホールの配置を示している。

【0025】本実施の形態における製造方法は、エミッタ電極を先付けにしてベース電極を自己整合的に形成するプロセスに基づいており、各電極は蒸着及びリフトオフ法によって形成される。なお、この形成方法の基本プロセスは特願平3-295886号に例示されている。

7

【0026】まず、図1は、(100)面を主表面とする半絶縁性InP基板1上に、MOVPE、ガスソースMBE等のエピタキシャル成長法によって、コレクタにオーミック性抵抗を形成するための高濃度n型不純物を含むInGaAsコレクタコンタクト層2、InPとInGaAsから構成されるコレクタ層3、高濃度p型不純物をドーパしたInGaAsベース層4、n型不純物をドーパしたInPエミッタ層5、エミッタにオーミック性抵抗を形成するための高濃度n型不純物をドーパしたInGaAsエミッタコンタクト層6を順次エピタキシャル成長させた積層構造を示す。

【0027】InPとInGaAsから構成されるコレクタ層3は、超高速、高耐圧用にバンド構造が設計されており、本実施の形態ではn型不純物をドーパしたInP層3-1、n型不純物をドーパしたInGaAs層3-2、アンドープInGaAs層3-3を順次エピタキシャル成長させたエピ層構造を用いている。

【0028】次に、図2は、図1に示した積層構造体のInGaAsエミッタコンタクト層6の上にエミッタ電極7を形成する工程を示している。このエミッタ電極7は、蒸着及びリフトオフ法で形成されるTi/Pt/Au/Pt/Ti積層構造あるいはスパッタ法及びRIE法で形成されるWSiN膜からなる。この時、エミッタ電極7の平面形状は、図11に示した様に六角形をなしており、(011)面方位がエミッタ長を形成し、エミッタ幅に(011)面方位を含まないことが特徴である(S. Yamahata, K. Kurishima, H. Ito, and Y. Matsuoka, "IE EE GaAs IC Symposium" 1995, pp. 163-166に例示されている)。

【0029】次に、図3は、上記エミッタ電極7をマスクにして、電子共鳴サイクロトロンで励起させたプラズマ源を用いた反応性イオンエッチング(ERRIE)を用い、塩素/アルゴン混合ガスで異方性エッチング(塩素ガスにアルゴンガスを添加することでエッチングマスクに対してエッチング側面の垂直性が実現できる)を少なくともInGaAsエミッタコンタクト層6に達するまで行った後、クエン酸/過酸化水素水溶液によりInGaAsエミッタコンタクト層6をInPエミッタ層5に対して選択的にエッチングし、次に塩酸/リン酸溶液でInPエミッタ層5をInGaAsベース層4に対して選択的にエッチングする工程を示している。

【0030】InGaAsエミッタコンタクト層6はサイドエッチングされ、エミッタ電極7のマスク下にアンダーカット領域が形成される。InPエミッタ層5はこのInGaAsエミッタコンタクト層6をマスクにしてエッチングされることになる。上記のようにERRIEと選択ウェットエッチングの組み合わせを用いることにより、面内均一性、再現性に優れたエミッタ電極7の下に適当量のアンダーカット領域を含むエミッタメサ構造を実現することができる。

8

【0031】次に、図4は、上記のエミッタメサ構造上の全面およびInGaAsベース層4上の所定部分にPt/Ti/Pt/Au積層構造のベース電極8を蒸着及びリフトオフ法で形成する工程を示したものである。エミッタ電極7下にアンダーカット領域が形成されているため、蒸着されたベース電極8はInPエミッタ層5と短絡することなく、寄生ベース抵抗、ベース/コレクタ接合容量が極めて小さいセルフアラインInPエミッタ/InGaAsベース構造が形成できる。また、エミッタ電極7の平面形状が、順メサ構造が現れベース電極8とInPエミッタ層5との短絡を招く(011)面方位を含まないため、InPエミッタ層5の選択ウェットエッチングが必要最低量で済み、面内均一性、再現性に優れる。また、ベース電極のメタルリフトオフ後300℃でオーミック熱処理を行うことにより、良好なオーミック接触抵抗が得られる。なお、この工程で形成されたベース電極のうち、エミッタ電極の上に形成された部分8'は、エミッタ電極と一緒にエミッタ電極7となる。

【0032】次に、図5は、フォトリソマスクを用いて、InGaAsベース層4及びInP/InGaAsコレクタ層3をクエン酸/過酸化水素水溶液、塩酸/リン酸溶液を用いて選択的にウェットエッチングすることにより、InGaAsコレクタコンタクト層2を露出させ、その後、蒸着及びリフトオフ法でTi/Pt/Au/Pt/Ti積層構造のコレクタ電極9を形成する工程を示したものである。

【0033】次に、図6は、フォトリソマスクを用いてInGaAsコレクタコンタクト層9をクエン酸/過酸化水素水溶液でウェットエッチングすることにより、能動素子部以外をメサエッチングして素子間分離(図示せず)を行った後、ウェハ全面にサイクロテン樹脂BCBをスピンコーティングし、250℃のキュアリングを施して半導体表面にBCBパッシベーション膜10を形成する工程を示したものである。BCB前駆体は粘性が低い平坦性に優れており、配線プロセスにとって段切れ等のトラブルが回避できるので有効である。

【0034】上記のキュアリング温度は、一般には樹脂メーカーの保証温度で行なうが、少なくとも前記図4で示したベース電極のメタルリフトオフ後のオーミック熱処理温度よりも低い温度に設定する。これは熱処理温度よりも高い温度を印加することによってアロイ範囲の拡大等の好ましくない作用を避けるためである。なお、本実施の形態とは異なるが、電界効果トランジスタの場合においても、上記と同様の理由により、キュアリング温度は、少なくともソース又はドレインのイオン注入領域の活性化熱処理温度、またはオーミック電極作製のためのオーミックアロイ温度よりも低い温度にすることが望ましい。

【0035】また、図4に示すように、エミッタ電極

7、ベース電極8、コレクタ電極9の位置(BCB膜表面からの深さ)が異なるため、それぞれの電極上に塗布されたBCBの膜厚は異なっている。本実施の形態ではBCBの膜厚はエミッタ電極上は $0.2\mu\text{m}$ 、ベース電極上は $0.7\mu\text{m}$ 、コレクタ電極上は $0.9\mu\text{m}$ 程度である。

【0036】次に、図7は、上記BCBパッシベーション膜10を全面に塗布したウェハ全面にプラズマCVD法でシリコン酸化膜(SiO_2)11を堆積した後、エミッタ電極7上にパッド配線コンタクトスルーホール用のパタニングをフォトリソ12で行う工程を示したものである。なお、このシリコン酸化膜11は層間絶縁膜として用いられる。このとき図11の平面図に示したように、エミッタ電極7と同時にベース電極8、コレクタ電極9上にもパッド配線コンタクトスルーホールのパターンが形成される。

【0037】なお、シリコン酸化膜11を形成する際の温度が前記のキュアリング温度以上であると、BCBパッシベーション膜10に何らかの化学変化を生じるおそれがあるので、シリコン酸化膜11はキュアリング温度以下で形成することが望ましい。

【0038】次に、図8は、上記シリコン酸化膜11を六フッ化エタン(C_2F_6)ガスを用いた反応性イオンエッチング(RIE)法でエッチングし、開孔部13を形成する工程を示したものである。六フッ化エタンガスを用いることによってフォトリソ12との選択性がある程度確保でき、かつ垂直方向のみの異方性エッチングが可能である。

【0039】実際の C_2F_6 -RIEを用いたエッチングレートの一実施例としては、ガス流量: 50 sccm 、ガス圧: 2 Pa 、RFパワー: 100 W (パワー密度: $0.14\text{ W}/\text{cm}^2$)、基板材質: テフロン、温度: 室温、としたエッチング条件において、フォトリソ: $25\text{ nm}/\text{min}$ 、 SiO_2 : $35\text{ nm}/\text{min}$ 程度である。この実施例では SiO_2 の膜厚: 300 nm 、フォトリソ: $1.2\mu\text{m}$ 程度である。

【0040】次に、図9は、上記フォトリソ/シリコン酸化膜開孔部13をマスクにして、六フッ化硫黄と酸素の混合ガスを用いたRIE法でBCBパッシベーション膜10をエッチングすることにより、コンタクトスルーホール14を形成する工程を示したものである。

【0041】なお、図9にはエミッタ電極7上のコンタクトスルーホール14のみを示したが、図11の平面図からわかるようにベース電極8、コレクタ電極9上にも同時にコンタクトスルーホールを形成する。図11においては、エミッタ電極7、ベース電極8およびコレクタ電極9上のそれぞれのコンタクトスルーホールを14-1、14-2、14-3で示している。また、15-1、15-2、15-3はそれぞれのパッド配線を示す。

【0042】前記のように、BCBパッシベーション膜10の厚さは最も厚いコレクタ電極9上で $0.9\mu\text{m}$ 程度、最も薄いエミッタ電極7上で $0.2\mu\text{m}$ 程度であり、コレクタ電極9上のBCB膜を全て除去するにはエミッタ電極7上のBCB膜がかなりのオーバーエッチングになるが、六フッ化硫黄ガスと酸素の混合ガスを用いることでシリコン酸化膜11のマスクに対して選択性がとれるので、オーバーエッチングを行ってもシリコン酸化膜11のマスクは大幅に後退することはない。このため一回の工程で微細寸法のエミッタ電極7、ベース電極8、コレクタ電極9上のパッド配線コンタクトスルーホール14が形成でき、スルーホットが短縮できる。

【0043】実際の SF_6 -RIEを用いたエッチングレートの一実施例としては、ガス流量: 六フッ化硫黄 50 sccm /酸素 50 sccm 、ガス圧: 1 Pa 、RFパワー: 70 W 、基板材質: テフロン、温度: 室温、のエッチング条件において、BCB: $115\text{ nm}/\text{min}$ 、フォトリソ: $105\text{ nm}/\text{min}$ 、 SiO_2 : $20\text{ nm}/\text{min}$ 程度である。

【0044】なお、六フッ化硫黄と酸素の混合ガスのRIEの代わりに、六フッ化エタンガスRIEを用いてBCBのエッチングを行なった場合には、六フッ化エタンガスに対するBCBとシリコン酸化膜のエッチングレートが同程度なので大幅な選択性がとれないため、長時間のエッチングが必要となり、微細寸法パタンの形成には不利である。

【0045】次に、図10は、上記コンタクトスルーホール14を通してエミッタ電極7、ベース電極8、コレクタ電極9上にパッド配線15を形成する工程である。この場合、パッド配線メタルは厚いTi/Pt/Au ($20/20/1200\text{ nm}$) 積層構造を用いている。

【0046】上記のように、図1~図10に示した工程により、パッシベーション膜として優れた性能を有してはいるが加工の難しいBCB樹脂膜に対して、微細サイズの配線コンタクト用開孔部を再現性良く形成できる。

【0047】なお、上記実施の形態においては、特にInP/InGaAs系における最も基本的な構造について説明したが、本発明はこれらに限定されるものではなく、InAlAs/InGaAs、AlGaAs/GaAs、InGaP/GaAs系等の他の材料系を用いたHBTへも適用できることはいうまでもない。また、ここでは、半導体装置がヘテロ接合バイポーラトランジスタの場合について説明したが、半導体装置が電界効果トランジスタでも良いことは言うまでもない。

【0048】

【発明の効果】以上述べてきたように、本発明においては、パッシベーション膜として優れた性能を有してはいるが加工の難しいワニス状高分子前駆体(例えばBCB膜)に対して、微細サイズの配線コンタクト用開孔部を光露光フォトリソグラフィ及びRIE法で再現性良く形

11

成できるため、エミッタ電極幅 $1.0\mu\text{m}$ 以下の微細HBTの高集積化が実現できる。したがって高電流増幅率および良好な高周波特性を実現することが出来る。また、パッシベーション膜として低吸湿性と急速な水分放出性を有するワニス状高分子前駆体(例えばBCB膜)を用いるため、表面再結合電流が少なく信頼性にも優れた微細寸法のHBTを提供することができる、という効果が得られる。

【図面の簡単な説明】

【図1】本発明の一実施の形態における第1の工程で形成された結果を示す断面図。

【図2】本発明の一実施の形態における第2の工程で形成された結果を示す断面図。

【図3】本発明の一実施の形態における第3の工程で形成された結果を示す断面図。

【図4】本発明の一実施の形態における第4の工程で形成された結果を示す断面図。

【図5】本発明の一実施の形態における第5の工程で形成された結果を示す断面図。

【図6】本発明の一実施の形態における第6の工程で形成された結果を示す断面図。

【図7】本発明の一実施の形態における第7の工程で形成された結果を示す断面図。

【図8】本発明の一実施の形態における第8の工程で形成された結果を示す断面図。

【図9】本発明の一実施の形態における第9の工程で形成された結果を示す断面図。

【図10】本発明の一実施の形態における第10の工程

12

で形成された結果を示す断面図。

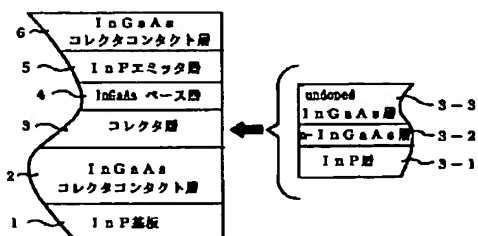
【図11】本発明の一実施の形態における素子の概略平面図。

【符号の説明】

- 1…InP基板
- 2…InGaAsコレクタコンタクト層
- 3…コレクタ層
- 3-1…InP層
- 3-2…InGaAs層
- 3-3…InGaAs層
- 4…InGaAsベース層
- 5…InPエミッタ層
- 6…InGaAsエミッタコンタクト層
- 7…エミッタ電極
- 8…ベース電極
- 9…コレクタ電極
- 10…BCBパッシベーション膜
- 11…シリコン酸化膜
- 12…フォトリソ
- 13…開口部
- 14…パッド配線コンタクトスルーホール
- 14-1…エミッタ電極上のコンタクトスルーホール
- 14-2…ベース電極上のコンタクトスルーホール
- 14-3…コレクタ電極上のコンタクトスルーホール
- 15…パッド配線
- 15-1…エミッタ電極のパッド配線
- 15-2…ベース電極のパッド配線
- 15-3…コレクタ電極のパッド配線

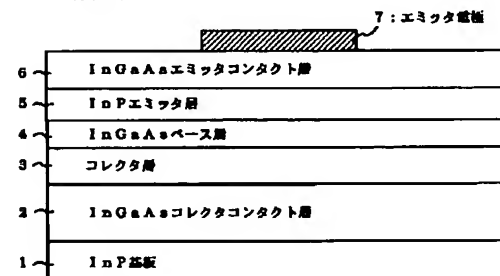
【図1】

(図1)



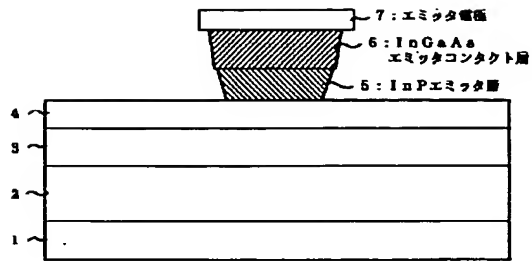
【図2】

(図2)



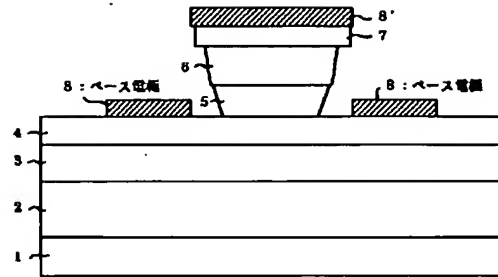
【図3】

(図3)



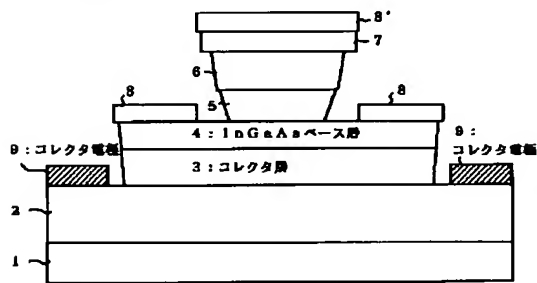
【図4】

(図4)



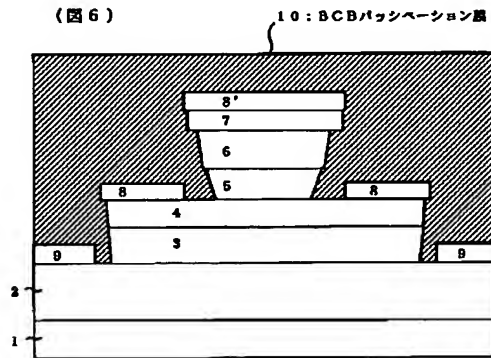
【図5】

(図5)



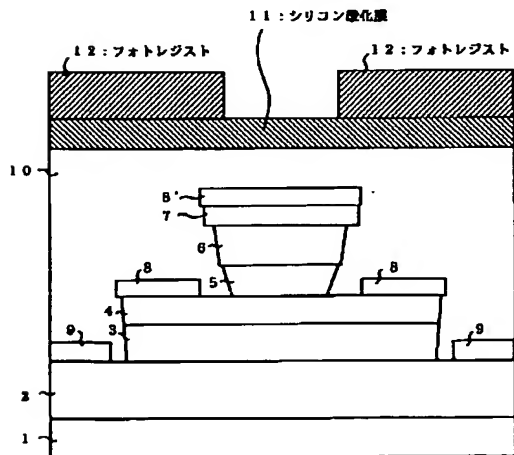
【図6】

(図6)



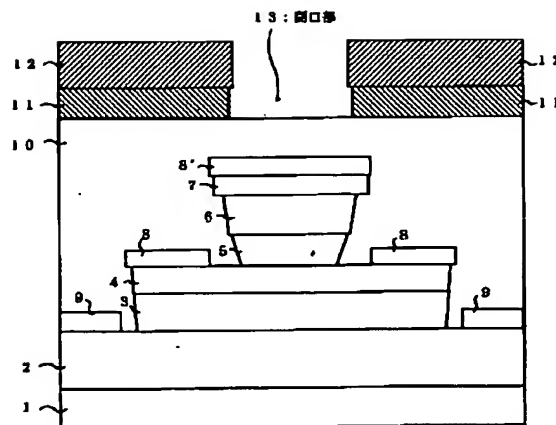
【図7】

(図7)



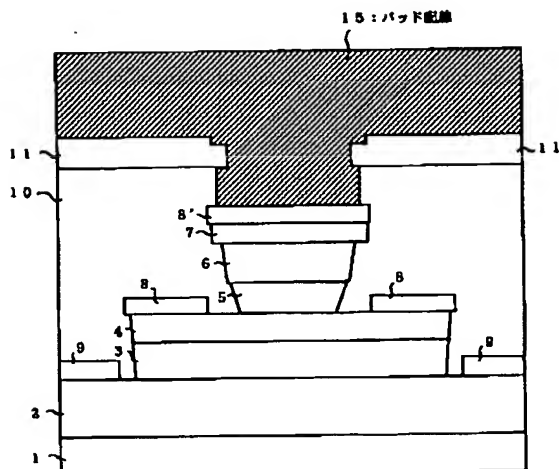
【図8】

(図8)



【图10】

(10)



【图 1 1】

(11)

